

## Alte Schaltkreise neu entwickeln

**Ein abgekündigtes ASIC muss noch lange nicht das Ende eines erfolgreichen Produktes bedeuten. Hat man vor Jahren sich bewusst gegen einen Standard-Schaltkreis und für ein ASIC entschlossen, so kann das ASIC durchaus nachentwickelt werden, wenn der Halbleiterhersteller die Fertigung dieses ASICs einstellt. Von einer FPGA-basierenden Lösung bis hin zu einem neuen Standard-Zell-ASIC gibt es viele Möglichkeiten. Die Wahl hängt von den Randparametern ab. Dieser Prozess wird auch als Reverse-Engineering, Cloneing, Klonen oder Redesign von ASICs bezeichnet.**

Ende der 80er, Anfang der 90er Jahre wurde die Entwicklung digitaler ASICs (Application Specific Integrated Circuit) für eine breite Masse von Unternehmen lukrativ. Die Entwicklungs- und Herstellungskosten waren auf ein Niveau gesunken, das den Einsatz von ASICs für viele Firmen sinnvoll machte. Viele der damals entwickelten ASICs werden heute immer noch in den verschiedensten Produkten eingesetzt. Dabei sind Produktlebenszyklen von zehn und mehr Jahren in der Industrieautomatisierung, bei sicherheitsrelevanten Anwendungen oder in Kleinserien für Nischenmärkte keine Seltenheit.

Die eingesetzten ASIC-Technologien von 1,0  $\mu\text{m}$  und mehr Strukturbreite laufen bei vielen Halbleiterherstellern gegenwärtig aus. Für die eingekauften ASICs über den Last-Call ist ebenfalls das Ende des Lagerbestandes absehbar. Konnte eine hinreichende Stückzahl der ASICs eingekauft werden, stößt man auf zwei weitere Probleme. Die Lagerung der ASICs ist nicht beliebig lange möglich. Ab dem 1. Juli 2006 dürfen nur noch Geräte in Verkehr gebracht werden, die der RoHS-Norm (Restriction of the use of certain Hazardous Substances in electrical and electronic equipment) entsprechen. Dies bedeutet, dass alle in einem Gerät enthaltenen Bauelemente – so auch die alten ASICs – diesem Stoffverbot entsprechen müssen. Da die Schaltkreise kundenspezifisch sind, ist eine Beschaffung aus anderen Quellen auf dem Weltmarkt ausgeschlossen.

Muss ein gewinnträchtiges Produkt also abgekündigt werden, weil ein funktionsbestimmendes ASIC nicht mehr verfügbar ist? Nein! Ein Redesign des ASICs und damit die weitere Verfügbarkeit des Produkts ist durchaus möglich. Allerdings müssen einige Voraussetzungen für ein risikoarmes Redesign erfüllt sein. Anhand bekannter Eigenschaften des ASICs kann man einen geeigneten Redesign-Ablauf wählen. Das Ziel eines Redesigns sind möglichst keine oder nur geringe Folgeaufwände beim Einsatz des neuen ASICs in der Applikationsumgebung – und das bei möglichst kleinem Entwicklungsrisiko.

## Realisierungsmöglichkeiten für ein Redesign

Die Fortschritte in der Halbleitertechnologie erlauben heute zwei Wege des Redesigns digitaler ASICs (*Bild 1*):

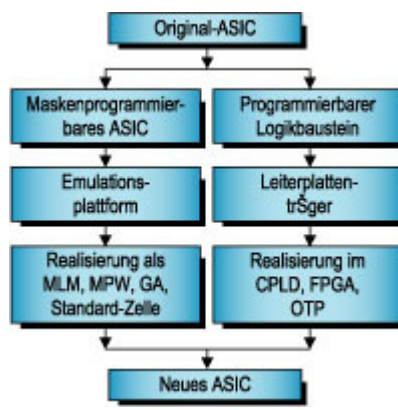
- Umsetzung auf eine langfristig verfügbare maskenprogrammierbare ASIC-Technologie (Gate-Array oder Standard-Zelle).
- Umsetzung auf eine programmierbare Logik mit nichtflüchtigem Speicher.

Ein vorhandenes Design kann bei entsprechender Bearbeitung auf eine beliebige maskenprogrammierbare ASIC-Technologie umgesetzt werden. Diesen Weg wird

man immer dann wählen, wenn sich die benötigte Stückzahl im Bereich von mehr als 5000 Bauelementen pro Jahr bewegt oder die Anschluss-Kompatibilität eine unabdingbare Forderung darstellt. Der Zwischenschritt, das Design zwecks Verifikation auf einem Emulations-FPGA (Field Programmable Gate Array) zu implementieren, dient der Senkung des Design-Risikos. Die ASICs werden dann, in der Regel aus Kostengründen, in einer Gate-Array-Technologie hergestellt. Diese Technik bietet für kleinere Stückzahlen ein Optimum von einmaligen Entwicklungskosten (NRE-Kosten, Non-Recurring Engineering) und Stückpreis der Serien-Bauelemente, da für vorgefertigte Master (Gate-Arrays) nur die Masken für die Verdrahtung erstellt werden.

Fällt die Entscheidung für ein Standard-Zell-ASIC als Umsetzungsvariante, können zur Kostensenkung Multilayer-Mask-Technologien (MLM) zum Einsatz kommen. Bei ihnen sind mehrere Ebenen des ASICs auf einer Maske zusammengefasst. Für sehr kleine Stückzahlen (unter 1000) werden Multiprojekt-Wafer (MPW) genutzt, bei denen mehrere unterschiedliche ASICs – von verschiedenen Auftraggebern oder Projekten – auf einem Wafer gefertigt werden.

Eine weitere Möglichkeit zum Redesign digitaler ASICs liegt in der Nutzung programmierbarer Logikbausteine. Die heute zur Verfügung stehende programmierbare Logik ist leistungsfähig genug, um die Funktionen der ASICs zu integrieren. In der Regel wird man keinen pin-kompatiblen, programmierbaren Baustein finden, der als Ersatz für ein abgekündigtes ASIC dienen kann. Deshalb muss man sich eines Leiterplattenträgers bedienen. Der Leiterplattenträger kann dann durchaus auch größer als das zu ersetzende Original-ASIC – z.B. für einen Ersatz im DIL-Gehäuse – sein. Eigenschaften des ASICs, die die programmierbare Logik nicht bietet, wie z.B. Schmitt-Trigger-Eingänge, können mit diskreten Bauelementen realisiert werden. Als programmierbare Bauelemente bieten sich CPLDs (Complex Programmable Logic Device), nicht flüchtige FPGAs oder OTP-FPGAs (One-Time-Programmable) an.



**Bild 1.** Für das Redesign eines ASICs bieten sich zwei Design-Wege an: die Entwicklung eines maskenprogrammierbaren Schaltkreises oder die Entwicklung eines programmierbaren Logikbausteins. Je nach den Anforderungen – wie z.B. Einbau in eine bestehende Schaltung oder benötigte Stückzahl – entscheidet sich, welche Variante die günstigere ist.

## Voraussetzungen für ein Redesign

Um ein Redesign erfolgreich zu gestalten, müssen einige Voraussetzungen erfüllt sein. Gute Aussichten auf eine Realisierung mit minimalen Kosten bei schneller Verfügbarkeit mit kleinem Design-Risiko haben Redesign-Projekte, bei denen die folgenden Daten vorliegen:

- Technische Beschreibung der Logik – Schaltplan, Hochsprachenbeschreibung, Netzliste.
- Testvektoren für Serientestautomaten.
- Ausführliche funktionelle Dokumentation des ASICs.
- Testumgebung (Testbench) mit Simulations-Bitmuster (simulation pattern).
- Elektrische Charakterisierung des E/A-Verhaltens.
- Beschreibung des dynamischen Verhaltens.

Diese Liste zeigt in ihrer Reihenfolge die Wichtigkeit der einzelnen Design-Daten. Ohne eine vorhandene technische Beschreibung der Logik ist eine Kopie des ASICs nicht möglich, lediglich ein ASIC mit gleichem Verhalten kann entwickelt werden. Das Design-Risiko erhöht sich dann erheblich.

Leider sind heute archivierte Design-Daten teilweise nicht mehr reaktivierbar. Häufig fehlt die Technik, um die Daten von den alten Datenträgern (8-Zoll-Disketten, Bänder) zu lesen, oder die Hard- und Software zum Visualisieren der Design-Daten ist nicht mehr vorhanden. Auch die Bedeutung von Testumgebungen (Testbench) und Testvektoren wurde vor 10 bis 15 Jahren unterschätzt. In vielen Fällen sind diese Daten nicht mit archiviert worden. Dadurch entstehen beim Redesign

zusätzliche Aufwände für neue Testumgebungen und Verifikationsstrategien. Der Aufwand, um alle noch vorhanden Informationen zu einem ASIC-Design zusammenzutragen, ist nicht unerheblich. Manchmal kann nur noch auf gedruckte Design-Daten im archivierten Projektordner zurückgriffen werden.

In Abhängigkeit der vorliegenden (Alt-)Datenbasis bestimmen sich die Redesign-Aufwände und das einzugehende Risiko. Aus den eigenen Erfahrungen lässt sich sagen, dass bei den Anwendern von ASICs Layoutdaten im GDS2-Format, Gate-Level-Beschreibungen, Schaltpläne des ASICs oder HDL-Quellcode als technische Beschreibungen vorliegen. Als Hardware-Beschreibungssprachen sind gerade in den 80er und 90er Jahren nicht nur die heute gängigen Sprachen VHDL oder Verilog-HDL eingesetzt worden, sondern auch andere wie z.B. ABEL. Die Testvektoren der Serientestautomaten sind seltener zu finden. Die Dokumentation des ASICs ist oft ausführlich und beinhaltet auch die elektrischen Anforderungen und das Timing. Eine Testumgebung ist meist nicht mehr vorhanden.

Allgemein gilt: Je weniger Design-Daten vorhanden sind, um so größer ist der Aufwand und um so höher wird das Risiko der Nach-Entwicklung.

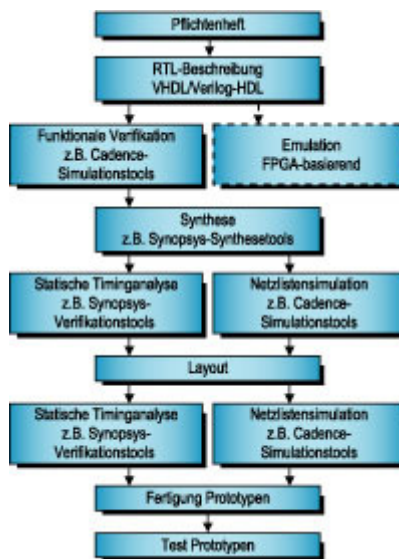
Die Analyse des vorhandenen Datenbestandes ist der erste Schritt beim Redesign eines ASICs. Folgende Punkte müssen u.a. betrachtet werden, um eine Entscheidung für ein Redesign treffen zu können:

- Welche Design-Daten sind noch vorhanden?
- Können die Design-Daten reaktiviert werden?
- Was für mechanische Eigenschaften muss das ASIC erfüllen?
- Welche elektrischen Eigenschaften werden vom ASIC gefordert?
- Wieviele ASICs werden benötigt?
- Über welchen Zeitraum soll das ASIC weiterhin geliefert werden?

Bei der Analyse der Redesign-Anforderungen kristallisiert sich dann meist recht schnell ein zu bevorzugender Lösungsweg heraus.

### Ein ASIC in einer maskenprogrammierbaren Technologie nachentwickeln

In Bild 2 ist der Design-Ablauf für ein maskenprogrammierbares ASIC dargestellt. Zu Beginn der Entwicklung wird ein Pflichtenheft erarbeitet, auf dessen Grundlage die RTL-Beschreibung (Register Transfer Level) des ASICs erfolgt. Die anschließende funktionale Verifikation des RTL-Modells geschieht unter Benutzung der eventuell vorliegenden Test-Bitmuster oder der Testumgebung. Die FPGA-Emulation beschleunigt die Verifikation. Es werden mehr Testfälle ausgeführt und damit wird eine höhere Testabdeckung erreicht. Das verifizierte RTL-Modell bildet die Basis für die Synthese in die Zieltechnologie. Die Verifikation der erhaltenen Netzliste erfolgt mittels Simulation und statischer Timinganalyse. Ist dieser Verifikationsschritt erfolgreich, kann die Freigabe zum Layout erfolgen, und die Vektoren für den Serientest werden erzeugt. Das Layout wird in der Regel durch den Halbleiterhersteller selbst erstellt. Aus dem Layout wird die Postlayout-Netzliste erzeugt und verifiziert. Bei positivem Ergebnis können anschließend die Prototypen gefertigt werden. Der Prototypentest in der Applikation bringt die abschließende Gewissheit, ob das Redesign den gewünschten Erfolg hatte. Dabei sind funktionelle wie elektrische Eigenschaften gleichbedeutend Gegenstand der Untersuchung. Anschließend steht der Serienfertigung nichts mehr im Weg.



**Bild 2.** Der Entwicklungsprozess für ein maskenprogrammierbares ASIC entspricht auch dem Redesign-Ablauf eines ASICs. Vergleichtests mit dem Original-ASIC – auch in der bereits vorhandenen Applikation – schließen die Entwicklung ab.

Das Beispiel eines ASIC-Redesigns für die Siemens AG zeigt die Vorgehensweise für

das Redesign eines ASICs auf einer maskenprogrammierbaren Technologie. Das betreffende ASIC ist ein Schnittstellenschaltkreis, der aus einem seriellen Eingangsdatenstrom pulsbreitenmodulierte Ausgangssignale erzeugt. Das Original-ASIC entstand vor mehr als zehn Jahren in einer 1,0- $\mu\text{m}$ -Standard-Zell-Technologie. Als Entwicklungswerkzeuge wurden ehemals der LOG/iC- GatesPro-Compiler und die SOLO1400-ASIC-Entwicklungsumgebung genutzt. Eine De-Archivierung der Datenbasis war aus technischen Gründen nicht möglich.

Was waren die weiteren Randbedingungen für das Redesign? Das ASIC wird in vier verschiedenen Baugruppen bei Siemens eingesetzt. Für die nächsten fünf Jahre ist zu erwarten, dass in Summe eine Anzahl von ca. 5000 ASICs benötigt wird. Das neue ASIC muss pinkompatibel im SOIC20-Gehäuse geliefert werden und mit einer Betriebsspannung von 5 V arbeiten. Eine der mit diesem ASIC bestückten Anwendungen ist auf einen minimierten Stromverbrauch ausgelegt.

Auf Grund der Stückzahl und der Anforderungen an Betriebsspannung, Stromaufnahme und Gehäuse wurde als Zieltechnologie ein Gate-Array mit 0,6  $\mu\text{m}$  Strukturbreite gewählt. Das Gate-Array ermöglicht problemlos eine Umsetzung im SOIC20-Gehäuse und bildet wirtschaftlich im Vergleich zu anderen Möglichkeiten das Optimum. Die Initialisierungskosten (Layout, Maskenerstellung) für die Gate-Array-Technologie sind günstiger als für andere maskenprogrammierbare Entwicklungen. Die avisierte Stückzahl der Serie kann so preisgünstig hergestellt werden.

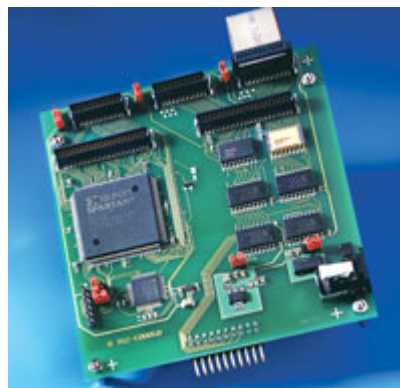
Eine weitere wichtige Voraussetzung für das Redesign war eine ausführliche Spezifikation mit einer abgedruckten Netzliste. Leider konnte im Vorfeld der Entwicklung keine Gewissheit erlangt werden, wie genau die vorliegende Netzliste der Realisierung im Original-ASIC entspricht. Das Redesign begann unter der Annahme, dass die Unterschiede nur relativ gering sind. Für die Umsetzung des Redesigns wurde dann der folgende Weg gewählt:

- Erstellung einer Test-Leiterplatte (mit Emulations-FPGA konfiguriert per E2PROM, Original-ASIC und ASIC-Kopie).
- Implementierung der Netzliste im FPGA und Verifizierung des Designs gegenüber dem Original-ASIC und in den vier Applikationen.
- Synthese und Layout in der Gate-Array-Technologie.
- Test der Prototypen auf der Test-Leiterplatte und in den vier Applikationen.

Auf der Test-Leiterplatte (*Bild 3*) können die drei „ASICs“ parallel betrieben werden. Für die Verifikation der drei Schaltkreise gibt es die Möglichkeit, die Eingangssignale mit einem Bitmuster-Generator zu stimulieren und alle Ein- und Ausgangssignale mit einem Logikanalysator aufzuzeichnen. Um die Schaltkreise in den vier Applikationen zu integrieren, wird die Test-Leiterplatte mittels Bandkabel und Stecker mit der Applikationsschaltung verbunden. Dabei wird ein Ende des Bandkabels direkt in die Schaltung an Stelle des SOIC20-Gehäuses eingelötet und das andere Ende über einen angepressten Stecker mit der Test-Leiterplatte verbunden. Dadurch ist es möglich, zwischen den drei realisierten Möglichkeiten umzustecken und Unterschiede im Verhalten sofort nachmessen zu können.

Die Umsetzung des Designs erfolgte in VHDL. Die vorhandene Netzliste war eine Gate-Level-Beschreibung in LOG/iC-Syntax. Eine Testumgebung war leider nicht vorhanden; sie musste neu erstellt werden. Aus der verbalen Beschreibung des ASICs wurden die entsprechenden Funktionen als Verhaltensmodell realisiert. Bei der Simulation werden die Eingangssignale des Designs als Stimuli für den Bitmuster-Generator sowie alle Ein- und Ausgangssignale des Designs als Vergleichs-Bitmuster aufgezeichnet.

Die Umsetzung in die FPGA-Technologie war problemlos möglich. In der Netzliste wurden keine „unüblichen“ Zellen wie z.B. RS- oder JK-Flipflops benutzt. Die einzige Besonderheit waren einige D-Flipflops, die mit der negativen Flanke getaktet



**Bild 3.** Auf einer Test-Leiterplatte sind neben dem Original-ASIC ein FPGA zur ASIC-Emulation und das Redesign-ASIC platziert. Über ein Flachbandkabel wird



werden. Aber auch ihre Realisierung stellte im Emulations-FPGA kein Problem dar. Anhand der Stimulierung des Original-ASICs und des Emulations-FPGAs mit den Test-Bitmustern und dem Vergleich der Ausgangsdaten wurde nachgewiesen, dass die Netzliste mit der Realisierung im Original-ASIC übereinstimmt. Der Test des Emulations-FPGAs in den vier Applikationsschaltungen verlief ebenfalls erfolgreich. Es konnte kein unterschiedliches Verhalten zwischen der umgesetzten Netzliste im Emulations-FPGA und dem Verhalten des Original-ASICs festgestellt werden. Die aufgezeichneten Bitmuster des Original-ASICs dienten in allen Verifikationsschritten als Referenzdaten der Entwicklung.

die Test-Leiterplatte mit der Applikationsschaltung verbunden, und der ASIC-Entwurf kann so im Schaltungseinsatz getestet und mit dem Original-ASIC verglichen werden.

Der nächste Schritt war die Synthese des Designs in die Gate-Array-Technologie. Die Umsetzung der Netzliste stellte ebenfalls kein Problem dar, da in der verwendeten Technologie negativ getaktete Flipflops zur Verfügung stehen. Schwieriger war die Realisierung der Timing-Anforderungen der Ausgangssignale. Diese werden vorwiegend über kombinatorische Verknüpfungen gebildet. Bei der Synthese musste hier ein besonderes Augenmerk auf die realisierte Struktur gelegt werden. In der Prelayout-Simulation und bei der statischen Timinganalyse wurde nachgewiesen, dass das Verhalten der entstandenen Netzliste mit dem Verhalten des Original-ASICs in allen Testfällen identisch ist. Das Timing wird unter allen Umgebungsbedingungen (best/typical/worst) und bei der Produktion im schlechtesten Prozess eingehalten. Das vom Halbleiterhersteller erzeugte Layout erfüllt ebenfalls alle Anforderungen.

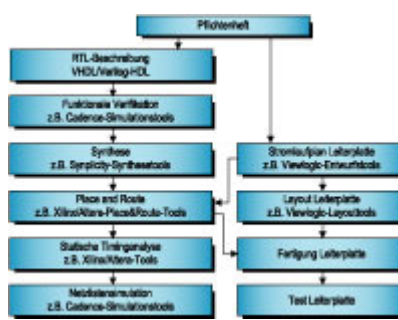
Die elektrischen Anforderungen an einige Anschlüsse des ASICs sind höher als es die Spezifikation der Gate-Array-Technologie definiert. Es war u.a. notwendig, dass ein Schmitt-Trigger-Eingang bei anderen Spannungsschwellen schaltet und ein Ausgang eine größere Last treiben soll. Diese Anforderungen können mit der Gate-Array-Technologie auch erfüllt werden, u.U. sinkt allerdings bei ungünstigen Prozessbedingungen die Ausbeute. Um mit allen Serienbauelementen die erhöhten Anforderungen zu erreichen, wurden die Parameter im Testprogramm des Halbleiterherstellers angepasst.

Auf Grund des engen zeitlichen Rahmens wurden die Prototypen und die Serienbauelemente parallel in einer Risiko-Produktion gefertigt. Beim Test der Prototypen konnte ohne Einschränkungen eine 100%ige Kompatibilität zum Original-ASIC festgestellt werden. Der leicht erhöhte Stromverbrauch der Prototypen stellte sich als unkritisch heraus. Die Ursache für den leichten Anstieg der Stromaufnahme liegt in den nicht genutzten Zellen des Gate-Array-Masters. Die Verifikation der Prototypen hat „keinerlei Hinweise ergeben, dass sich der Baustein vom Original-ASIC unterscheidet“. Das neue ASIC wird als vollwertiges Ersatz-Bauelement für das Original-ASIC in der Fertigung verarbeitet.

**Ein ASIC mit programmierbarer Logik ersetzen**

Bild 4 zeigt den Design-Ablauf für programmierbare Logik. Die Erstellung des Pflichtenheftes, die RTL-Beschreibung und die funktionale Verifikation des nachzuentwickelnden ASICs erfolgen analog zum Design-Ablauf für maskenprogrammierbare ASICs. Für die Synthese der programmierbaren Logik werden in der Regel aber andere Werkzeuge genutzt. Nach der Synthese erfolgen das Place&Route sowie die statische Timinganalyse mit herstellerspezifischen Programmen. Zur Verifikation des Designs wird die Netzliste simuliert.

Weiterhin muss für die programmierbare Logik ein Leiterplattenträger entworfen und gefertigt werden. Die Verdrahtung der Leiterplatte fließt in die Anschlussbelegung der programmierbaren Logik ein. Hier ist eine enge Zusammenarbeit der Entwickler notwendig. Auf dem Leiterplattenträger ist die programmierbare Logik meist über eine JTAG-Schnittstelle (Joint Test Action Group) konfigurierbar. Diese wird in der Entwicklungsphase für die Konfiguration genutzt. In der Produktion werden vorkonfigurierte Bauelemente eingesetzt. Die Verifikation der Funktion des entstandenen Moduls erfolgt in den Applikationen oder mit Hilfe



**Bild 4.** Das Redesign eines ASICs per CPLD erfordert auch einen Leiterplatten-Zwischenträger, um

des Serientests des Original-ASICs.

Das Beispiel des Redesigns eines Adressvergabe-ASICs, ebenfalls für die Siemens AG, verdeutlicht diesen Design-Ablauf. Das Redesign erfolgte mit Hilfe eines programmierbaren Schaltkreises auf einem Leiterplattenträger. Das Original-ASIC entstand in einer 2,0- $\mu$ m-Standard-Zell-Technologie. Die Entwicklungsumgebung ist nicht mehr bekannt.

die elektrischen Anschlüsse anzupassen. Diese Leiterplatte wird parallel mit der Definition der Bauein-Anschlüsse entworfen.

Das Original-ASIC wird in zwei Baugruppen eingesetzt und es werden vorerst 1000 Bauelemente benötigt. Es liegt in einem PLCC68-Gehäuse vor, die Betriebsspannung beträgt 5 V. Durch das relativ große Gehäuse des Original-ASICs ist die Entwicklung eines Leiterplattenträgers mit CPLD als ASIC-Ersatz möglich. Auf Grund der geringen benötigten Stückzahl ist dies die kostengünstigste Variante.

Auch für das Adressvergabe-ASIC war eine ausführliche Spezifikation vorhanden. Leider fehlte zu Beginn des Projekts eine technische Beschreibung der Funktion des Original-ASICs. Als Referenzen standen nur die Test-Bitmuster des Serientests und die verbale Beschreibung der Funktionen des Original-ASICs zur Verfügung. Für das Redesign wurde der folgende Weg gewählt:

- Entwurf eines Leiterplattenträgers im PLCC68-Format.
- Redesign des ASICs anhand der Spezifikation und der Test-Bitmuster.
- Umsetzung auf die CPLD-Technologie.
- Test des ASIC-Ersatzes mit dem Serientestprogramm und in den Applikationen.

Das CPLD für den ASIC-Ersatz hat ein TQFP100-Gehäuse. Dieses Gehäuse ist mit 14,4 mm Kantenlänge rund 10 mm kleiner als das PLCC68-Gehäuse. Dadurch ist es möglich, die Leiterbahnen auf einer Lage des Leiterplattenträgers zu führen und zugleich die fünf Stützkondensatoren neben dem CPLD zu platzieren (*Bild 5*). Um eine Reprogrammierung des CPLDs in der Entwicklung vornehmen zu können, sind die vier JTAG-Signale als Testpunkte auf dem Leiterplattenträger verfügbar.

Das Redesign des Original-ASICs gestaltete sich schwierig, da die verfügbaren Informationen (verbale Beschreibung, Test-Bitmuster) für ein Redesign gering waren. Anhand der Beschreibung und der Test-Bitmuster wurde ein HDL-Modell entwickelt. In der Entwurfsphase sind die Test-Bitmuster des Original-ASICs mit den Test-Bitmustern der Simulation des neuen HDL-Modells immer wieder verglichen worden. Die Entwicklung wurde, bis auf wenige Unterschiede zwischen den Test-Bitmustern, vorangetrieben. Je weniger Unterschiede beim Vergleich der Test-Bitmuster vorlagen, um so schwieriger stellte sich die Ummodellierung des HDL-Modells dar.

Glücklicherweise konnte – wenn auch verspätet – die verwendete Schaltung des Original-ASICs als Schaltplan beigelegt werden. Das bisherige Redesign wurde verworfen. Auf Basis der Schaltpläne entstand ein neues HDL-Modell, das einer 1:1-Kopie des Original-ASICs entspricht. Die erzeugten Test-Bitmuster der HDL-Simulation sind identisch mit den vorhandenen Test-Bitmustern des Serientests.

Bei der Synthese und dem anschließenden Place&Route in der CPLD-Technologie hat sich ein weiteres Problem gezeigt. Nicht alle verwendeten Strukturelemente der Standard-Zell-Bibliothek, wie z.B. RS-Flipflops oder Scan-Flipflops (Flipflop mit vorgeschaltetem Multiplexer für das gezielte Adressieren zu Testzwecken), sind in der CPLD-Technologie verfügbar. Für diese Zellen mussten Ersatzschaltungen entworfen werden, da die automatische Umsetzung der HDL-Beschreibung dieser Funktionen nicht möglich war.



**Bild 5.** Das auf dem Leiterplattenträger montierte CPLD mit den fünf Stützkondensatoren passt elektrisch und mechanisch an die Stelle des Original-ASICs im PLCC68-Gehäuse.

Die Verifikation des ASIC-Ersatzes erfolgte mit Hilfe des Serientestprogramms vom Original-ASIC und in den Applikationen. Für die Verifikation auf dem Tester wurde ein spezieller Adapter für den Leiterplattenträger geschaffen. Das Serientestprogramm prüft nur die logischen Funktionen des Schaltkreises. Das Freigabekriterium für die Entwicklung war der fehlerfreie Test des ASIC-Ersatzes mit den Test-Bitmustern des Original-ASICs. Dieses Ziel wurde mit der Umsetzung der Schaltpläne erreicht.

Die Applikationsschaltungen sind mit dem Leiterplattenträger neben den funktionalen Tests auch EMV- und Stresstests z.B. in einer Klimakammer unterzogen worden. Die Verifikation des ASIC-Ersatzes verlief erfolgreich. Nach der Fertigung der 1000 neuen „ASICs“ ist die Bestückung der Baugruppen mit den Modulen in der Fertigung problemlos möglich.

### **Dokumentieren für die Zukunft**

Für viele Schaltungen muss der Produktlebenszyklus nicht zu Ende sein, nur weil ein verwendetes ASIC abgekündigt wird. Diese ASICs können durchaus in einer neuen Technologie, in einem nachentwickelten Schaltkreis weiterleben. Gewinnbringende Produkte auf ihrer Basis haben dann eine neue Zukunft vor sich.

Das Redesign von digitalen ASICs ist an keinen festen Lösungsweg gebunden. Anhand der Randparameter wird man sich wieder für ein maskenprogrammierbares ASIC entscheiden oder die Vorteile der programmierbaren Logik nutzen. Für den Anwender ist es vorteilhaft, wenn er beide Varianten komplett aus einer Hand bekommen kann. Die beiden oben aufgeführten Beispiele zeigen, wo Stärken und Schwächen beider Redesign-Wege in technischer und wirtschaftlicher Betrachtungsweise liegen.

Die Erfahrung mit der Analyse von alten ASIC-Datensätzen zeigt, wie wichtig es ist, dass bei jedem ASIC-Entwicklungsprojekt die Projektdokumentation, die Einhaltung des Design-Ablaufs und ein funktionierendes Qualitätsmanagement das Projekt begleiten. Die abschließende Archivierung der Design-Daten und eine Langzeitarchivierung bieten die Gewähr, dass jederzeit auf die Design-Daten zugegriffen werden kann. Bei Bedarf ist dann mit vertretbarem Aufwand und Risiko eine Umsetzung auf eine neue Halbleiter-Technologie möglich.

Das Redesign von Mixed-Signal-ASICs ist ebenfalls machbar. Hier sind höhere Risiken und Aufwände einzukalkulieren, da Parameter analoger Schaltungen wesentlich stärker an die Prozesse des Halbleiterherstellers gebunden sind.

### **Autor**



Dipl.-Ing. (FH) Dirk Bernerist in Schmölln geboren. Er studierte Elektrotechnik in der Fachrichtung Informationstechnik an der FH in Jena. Seit seiner Diplomarbeit im Jahr 1999 ist er bei der MAZeT GmbH angestellt. Als Projektleiter im Bereich Chipdesign & Optoelektronik umfasst sein Aufgabengebiet den Entwurf digitaler Systeme für FPGA-, Gate-Array- und Standard-Zell-Technologien.  
E-Mail: [berner@mazet.de](mailto:berner@mazet.de)

Harry Schubert, Elektronik 04/2005